



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11195620 A**(43) Date of publication of application: **21 . 07 . 99**

(51) Int. Cl.

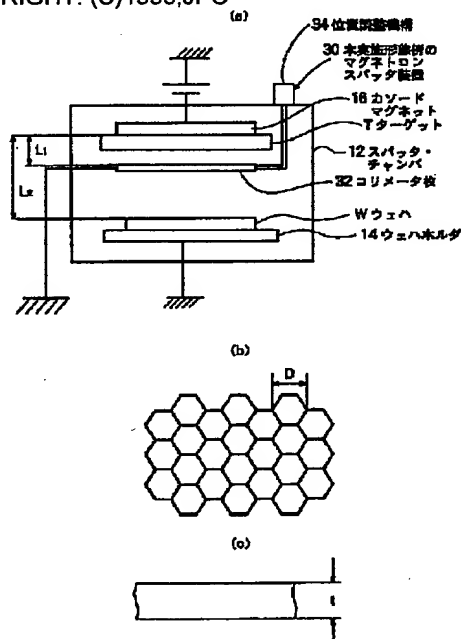
H01L 21/285**H01L 21/285****C23C 14/34****H01L 21/8238****H01L 27/092****H01L 29/78****H01L 21/336**(21) Application number: **10248351**(22) Date of filing: **02 . 09 . 98**(30) Priority: **29 . 10 . 97 JP 09297022**(71) Applicant: **NEC CORP**(72) Inventor:
HAMANAKA NOBUAKI
INOUE AKIRA
ABIKO HITOSHI
HIGUCHI MINORU**(54) MANUFACTURE OF SEMICONDUCTOR DEVICE
AND SPUTTERING DEVICE****(57) Abstract:**

PROBLEM TO BE SOLVED: To sputter a high-melting point metal on the condition that the deterioration of the breakdown strength of a gate due to a sputtering device is not generated, in a method of manufacturing a semiconductor device, which is formed with a high-melting point metal silicide layer.

SOLUTION: A semiconductor device is manufactured into a structure, wherein a high-melting point metal is deposited on the whole surface of a silicon substrate formed with a gate electrode of a semiconductor element to form a high-melting point metal film and thereafter, when a heat treatment is performed on the surface of the substrate and a high-melting point metal silicide layer is formed on the interface between the surface of the substrate and the high-melting point metal film, the high-melting point metal film is sputtered and deposited by a magnetron sputtering unit on the condition that the amount Q of a charge to reach the gate electrode is less than 5 C/cm^2 . Moreover, a sputtering device 30 is constituted into a structure, wherein a collimator plate 32, which has a multitude of through holes penetrated from a target toward a wafer and consists of a conductor, is made to interpose between a target holder

16 and a wafer holder 14 in a state that the plate 32 is grounded.

COPYRIGHT: (C)1999,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-195620

(43) 公開日 平成11年(1999) 7月21日

(51) Int. Cl. ⁶	識別記号	F I		
H01L 21/285		H01L 21/285		S
	301		301	R
C23C 14/34		C23C 14/34		R
H01L 21/8238		H01L 27/08	321	F
27/092		29/78	301	Y
審査請求 有 請求項の数12 O L (全16頁) 最終頁に続く				

(21) 出願番号 特願平10-248351

(22) 出願日 平成10年(1998) 9月2日

(31) 優先権主張番号 特願平9-297022

(32) 優先日 平9(1997)10月29日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 濱中 信秋

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 井上 顕

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 安彦 仁

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 稲垣 清

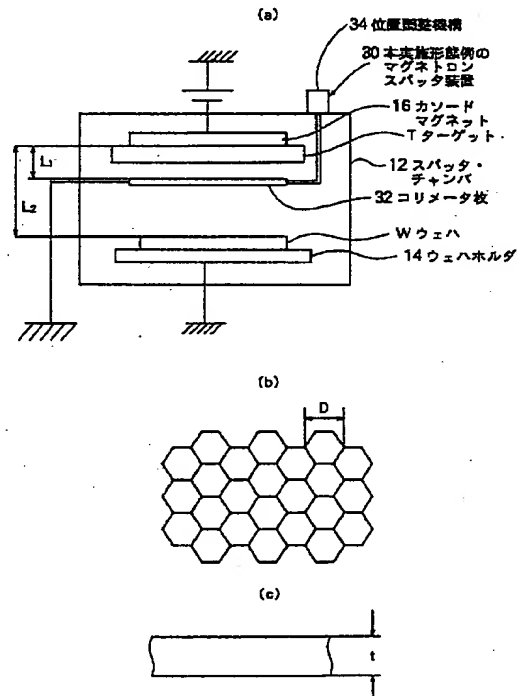
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法及びスパッタ装置

(57) 【要約】

【課題】 高融点金属シリサイド層を形成する半導体装置の製造方法において、スパッタ装置によるゲート耐圧の劣化が生じない条件で高融点金属をスパッタする半導体装置の製造方法及びそのためのスパッタ装置を提供する。

【解決手段】 本方法では、半導体素子のゲート電極が形成されたシリコン基板の全面に高融点金属を堆積して高融点金属膜を形成後、熱処理して高融点金属膜との界面に高融点金属シリサイド層を形成する際、ゲート電極に到達する電荷量 Q が 5 C/cm^2 以下となる条件で、高融点金属膜をマグネトロンスパッタ装置によりスパッタ堆積する。また、スパッタ装置30は、ターゲットホルダ16と、ウェハホルダ14との間に、ターゲットからウェハに向けて貫通した多数の貫通孔を有する導電体からなるコリメート板32を接地した状態で有する。



【特許請求の範囲】

【請求項 1】 半導体素子のゲート電極が形成されたシリコン基板の全面に高融点金属を堆積して高融点金属膜を形成後、熱処理して前記高融点金属膜との界面に高融点金属シリサイド層を形成する半導体装置の製造方法において、

前記ゲート電極に到達する電荷量 Q が 5 C/cm^2 以下となる条件で、前記高融点金属膜をマグネトロンスパッタ装置によりスパッタ堆積することを特徴とする半導体装置の製造方法。

【請求項 2】 前記マグネトロンスパッタ装置は、プラズマ密度最大領域が前記シリコン基板の外側になるように、ターゲットの大きさを設定して前記高融点金属膜をスパッタ堆積する構成であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】 前記マグネトロンスパッタ装置は、前記シリコン基板側のホルダマグネットが該シリコン基板を有するウェハー側面を覆う状態で前記高融点金属をスパッタ堆積する構成であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 4】 前記マグネトロンスパッタ装置は、プラズマ密度最大の領域が前記シリコン基板を有するウェハーより上方になるように、該ウェハー側のホルダマグネットの強度を設定して前記高融点金属をスパッタ堆積する構成であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 5】 前記マグネトロンスパッタ装置は、ターゲットと前記シリコン基板を有するウェハーとの間の空間に、導電体のコリメート板を挿入した状態で前記高融点金属をスパッタ堆積する構成であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 6】 前記コリメート板は、上面の形状が網状であることを特徴とする請求項 5 記載の半導体装置の製造方法。

【請求項 7】 前記高融点金属は、チタン、コバルトおよびニッケルのいずれか一の金属であることを特徴とする請求項 1 乃至 6 のうちいずれか一項記載の半導体装置の製造方法。

【請求項 8】 ターゲットホルダに保持されたターゲットと、ターゲットに対面させるようにして、ターゲット金属を堆積させるウェハーを保持するウェハーホルダとを備え、ターゲット金属をウェハー上にスパッタリングするスパッタ装置において、

ターゲットホルダと、ウェハーホルダとの間に、ターゲットからウェハーに向けて貫通した多数個の貫通孔を有する導電体からなるコリメート板を接地した状態で介在させることを特徴とするスパッタ装置。

【請求項 9】 コリメート板が、ターゲットホルダーに対して第 1 の間隔 D_1 以下で第 2 の間隔 D_2 以上の範囲の間隔で配置されていることを特徴とする請求項 8 に記

載のスパッタ装置。

【請求項 10】 第 1 の間隔 D_1 が 50 mm であり、第 2 の間隔 D_2 が 24 mm であることを特徴とする請求項 10 に記載のスパッタ装置。

【請求項 11】 コリメート板を前記範囲の間隔内に位置決めし、保持する位置調整手段を備えていることを特徴とする請求項 9 又は 10 に記載のスパッタ装置。

【請求項 12】 コリメート板は、貫通孔のアスペクト比が 0.7 以上で 1.3 以下の網状板であることを特徴とする請求項 8 から 11 のうちのいずれか 1 項に記載のスパッタ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造方法に係り、特にゲート、ソースおよびドレイン表面を自己整合的にシリサイド化することにより、低抵抗化を図る MOS 型電界効果トランジスタ (MOSFET) の製造方法に関する。また、本発明は、ゲート電極に高融点金属シリサイド膜を形成する際、ゲート酸化膜の絶縁耐圧の劣化が生じないようにして、高融点金属をポリシリコン膜上にスパッタできるスパッタ装置に関するものである。

【0002】

【従来の技術】 半導体装置の製造方法の一つとして知られる従来のシリサイドプロセスでは、特開平 2-45923 号公報に開示された方法がある。この従来の半導体装置の製造方法について、図 3 (a) ~ 図 3 (d) の工程順に示した縦断面図を参照して説明する。

【0003】 図 3 (a) に示すように P 型シリコン基板 301 に N ウェル 302 を既知の方法により形成する。次いで、P 型シリコン基板 301 の表面にフィールド絶縁膜としてフィールド酸化膜 303 を選択酸化法により形成する。このフィールド酸化膜 303 に囲まれた活性領域に、順次シリコン酸化膜などのゲート絶縁膜 304 と多結晶シリコンを成長し、多結晶シリコンにリンを既知の手法によりドーブして多結晶シリコンの電気抵抗の低減を図る。次いで、既知の手法であるフォトリソグラフィ法とドライエッチング法により、多結晶シリコンをパターンニングしてゲート電極 305 を形成する。

【0004】 次に、フォトリソグラフィ法とイオン注入法により、図 3 (a) に示すように低濃度の N 型不純物拡散層 313 と低濃度の P 型不純物拡散層 314 を形成する。次いで、ゲート電極 305 の側面にシリコン酸化膜あるいはシリコン窒化膜から構成されるサイドウォール 306 を既知の化学気相成長 (CVD) 技術とエッチング技術を用いて形成する。

【0005】 次に、図 3 (b) に示すようにフォトリソグラフィ法とイオン注入法により、N 型不純物拡散層 307 と P 型不純物拡散層 308 を形成する。かくして、LDD 構造として N 型ソース・ドレイン領域 30

7、P型ソース・ドレイン領域308が形成される。次いで、ゲート電極である多結晶シリコンの表面と半導体基板表面の自然酸化膜を除去し、例えばチタン膜309をスパッタ堆積する。

【0006】次に、図3(c)に示すように窒素雰囲気中で700℃以下の急速熱処理(以下、RTA)することにより、シリコンと接触するチタン膜309のみをシリサイド化し、C49型構造のチタンシリサイド層310を形成する。また、この際、フィールド酸化膜303およびサイドウォール306と接触するチタン膜309と半導体基板上のチタン膜の一部は窒化されて窒化チタン膜311となる。

【0007】次に、図3(d)に示すようにアンモニア水および過酸化水素水等の混合液などにより、選択的にウェットエッチングし、未反応チタンと窒化チタン膜311のみを除去する。次いで、前述のRTAよりも高温(800℃以上)のRTAを行い、前記のC49型構造のチタンシリサイド層310よりも電気抵抗率の低いC54型構造のチタンシリサイド層312を形成する。

【0008】以上に示したシリサイドプロセスを用いることにより、多結晶シリコン305、N型およびP型不純物拡散層307、308の表面部分が自己整合的にシリサイド化されるために低抵抗化され、デバイスの高速化が図れる。このシリサイドプロセスは、必要とする領域に限って、選択的にシリサイド化できる利点がある。

【0009】ところで、従来のマグネトロンスパッタ装置10は、一般的には、図8に示すように、スパッタ・チャンバ12内に、ウェハ-Wを載置させるウェハホルダ14と、ウェハ-Wに離間して対面する位置にターゲットTを保持するカソードマグネット16とを備えている。従来のマグネトロンスパッタ装置10を使って、例えばポリシリコンゲート電極上にC_oをスパッタして、C_oシリサイド電極を形成する際、ゲート酸化膜に絶縁不良が生じたチップが、ウェハ-W上に発生すること、特にウェハ-W周辺部に発生することが多く、製品歩留りを向上させる上で、問題になっていた。

【0010】ここで、従来のマグネトロンスパッタ装置10を使って、以下のスパッタ条件でゲート電極のポリシリコン上にC_oをスパッタしてC_o膜を成膜し、次いでRTAを施してC_oシリサイド化を行って、ゲート酸化膜の絶縁耐圧の良否をウェハ-Wのチップ毎に試験した結果を示す。本試験では、従来のマグネトロンスパッタ装置10を使って、図9に示すように、シリコン基板20上に形成されたゲート電極のポリシリコン膜22上にC_oをスパッタしてC_o膜24を成膜し、次いでRTAを施してC_oシリサイド層を形成する。図9は、スパッタリングによりC_o膜24をゲート電極のポリシリコン膜22上に成膜した状態を示す。図9中、26はSiN等からなるサイドウォール、28はゲート酸化膜である。

スパッタリング条件

チャンバ圧力 : 5 ~ 15 mTorr

ガス流量 : Ar / 50 ~ 100 scc/m

スパッタパワー : 1.5 kW

しかし、従来のマグネトロンスパッタ装置10を使ったC_oスパッタリングでは、図11に示すように、特にウェハ-Wの周辺部のチップのゲート酸化膜に、絶縁不良が発生し、ゲート酸化膜の絶縁耐圧が所定値以上の良好なチップのウェハ-W全体のチップに対する百分率、いわゆる良品率は、図19に実験例1と実験例2の結果と合わせ示すように、46%程度であった。図11では、ゲート酸化膜に重度の絶縁不良が発生しているチップは、黒色で、軽度の絶縁不良が発生しているチップは、灰色で彩色されている。

【0011】

【発明が解決しようとする課題】しかるに、上記の従来の半導体装置の製造方法では、ゲートポリシリコンを形成した後、ゲートポリシリコン上に高融点金属をスパッタ堆積すると、その際に、プラズマから発生する電荷によりゲート電極305がチャージアップし、ゲート耐圧が劣化するという問題があった。

【0012】ゲート電極および拡散層上のみにシリサイドを形成する方法として、シリサイドプロセスが有効な方法であるが、高融点金属をスパッタする際の下地構造は、ゲート電極305の表面の自然酸化膜は除去されており、ゲート電極305は既に不純物がドーブされてかつ、フローティングゲートとなっている。

【0013】そのため、スパッタ時、特にスパッタ放電中あるいは待機時の放電からシャッターが開いてウェハ-Wへスパッタ堆積が開始された瞬間にゲート電極部に電荷が発生し、その電荷がゲート絶縁膜304を流れて、ゲート耐圧が劣化するという問題が発生する。この現象は、ゲート絶縁膜304の膜厚が薄膜化や高集積化することにつれて顕著であり、微細化が進むにつれて深刻な問題となっている。

【0014】本発明は上記の点に鑑みなされたもので、半導体基板上に選択的に形成される絶縁膜間に高融点金属シリサイド層を形成する半導体装置の製造方法において、スパッタ装置によるゲート耐圧の劣化が生じない条件下で高融点金属をスパッタする半導体装置の製造方法を提供することを目的とする。

【0015】また、本発明の他の目的は、高信頼性及び低抵抗化が可能なMOS型電界効果トランジスタを製造し得る半導体装置の製造方法を提供することにある。

【0016】また、前述したように、従来のマグネトロンスパッタ装置を使って、C_o、Ti、Ni、W等の高融点金属をポリシリコン膜上にスパッタしてシリサイド化を施す際に、ゲート酸化膜の絶縁性が低下するという問題があった。そこで、本発明の更なる目的は、ゲート電極に高融点金属シリサイド膜を形成する際、ゲート酸

化膜の絶縁耐压の劣化が生じないようにして、高融点金属をポリシリコン膜上にスパッタできるスパッタ装置を提供することである。

【0017】

【課題を解決するための手段】本発明は、上記の目的を達成するため半導体素子のゲート電極が形成されたシリコン基板の全面に高融点金属を堆積して高融点金属膜を形成後、熱処理して高融点金属膜との界面に高融点金属シリサイド層を形成する半導体装置の製造方法において、ゲート電極に到達する電荷量 Q が 5 C/cm^2 以下となる条件で、高融点金属膜をマグネトロンスパッタ装置によりスパッタ堆積するようにしたものである。

【0018】ここで、上記のマグネトロンスパッタ装置は、プラズマ密度最大領域がシリコン基板の外側になるように、ターゲットの大きさを設定して高融点金属をスパッタ堆積する構成である。

【0019】また、上記マグネトロンスパッタ装置は、シリコン基板側のホルダマグネットがシリコン基板を有するウェハー側面を覆う状態で高融点金属をスパッタ堆積する構成でもよく、またプラズマ密度最大の領域がシリコン基板を有するウェハーより上方になるように、ウェハー側のホルダマグネットの強度を設定して高融点金属をスパッタ堆積する構成でもよい。

【0020】更に、上記のマグネトロンスパッタ装置は、ターゲットとシリコン基板を有するウェハーとの間の空間に、導電体のコリメート板を挿入した状態で高融点金属をスパッタ堆積する構成でもよい。なお、上記の高融点金属は、チタン、コバルトおよびニッケルのいずれかの金属であることが望ましい。

【0021】本発明では、ゲート電極に到達する電荷量 Q が 5 C/cm^2 以下になる条件で高融点金属のスパッタ堆積を行い、ゲート耐压の劣化を生じさせないようにするものである。

【0022】このことの作用について説明する。図4は自然酸化膜をフッ酸を用いてエッチングした後、チタンをスパッタ堆積し、次いで、熱処理を行わずにアンモニア水と過酸化水素水の混合液により、堆積したチタンをウェットエッチングしたウェハーのゲート耐压の良品率を示す。比較として、スパッタを行わずに測定したものも示してある。

【0023】チタンをスパッタし、すぐにウェットエッチングした場合はゲートの初期耐压不良が起こっており、スパッタ中にゲート耐压が大幅に劣化するため、その場合のゲート良品率は図4にIで示すように、チタンをスパッタしない場合のゲート良品率IIに比べて良品率が低い。

【0024】図5はスパッタ堆積する際、コリメート板をウェハーとターゲット間に挿入した場合のゲート耐压良品率を、コリメート板を挿入しないでスパッタ堆積した場合のゲート耐压良品率と、スパッタ堆積しない場合

のゲート耐压良品率とを対比して示す。この場合も図4と同様にスパッタ後熱処理を行わずにウェットエッチングし測定している。

【0025】スパッタ堆積する際、コリメート板をウェハーとターゲット間に挿入した場合のゲート耐压良品率は図5にIVで示す如く、スパッタ堆積しない場合のゲート耐压良品率Vと同様100%であり、同図にIIIで示すようにチタンをスパッタし、すぐにウェットエッチングした場合のゲート耐压良品率に比べて、スパッタによるゲート耐压の劣化が起こっておらず、良好なゲート耐压が得られていることがわかる。

【0026】この場合には、コリメート板がウェハーとターゲット間に挿入されているためにウェハーに到達するはずの電荷がコリメート板に流れて、ゲート電極のチャージアップが抑制されており、ゲート電極に到達する電荷量 Q が 5 C/cm^2 以下になるようなスパッタ堆積ができるためである。

【0027】通常コリメートスパッタは、コンタクトホール底部にチタンを異方性良く堆積し、スパッタ膜のカバレッジを改善するためのものである。しかし、この場合においては、既成のコリメート板を用いて行わなくてもよく、電気的にアースされている例えば網状の板をウェハーとターゲットの間に挿入されていればよく、コリメートスパッタを用いて得られた結果と同様の結果が得られる。

【0028】このように、サリサイド構造を有したフローティングゲート電極上に高融点金属をスパッタ堆積する場合には、ウェハーへ到達する電荷量を制御する方法として、プラズマから不要な電荷を発生しないようにするか、発生した電荷をウェハーに到達しないようにするのが考えられる。そのため、上述の2種類あるいはそれらを組み合わせることでゲート耐压特性を向上させることができる。

【0029】本発明者は、上述した本発明の目的を達成できるスパッタ装置を実現するために、研究の末に、ゲート酸化膜の絶縁不良が発生する原因は、ターゲット近傍の荷電粒子が、ウェハー表面に到達し、ゲート電極のポリシリコン膜及びゲート酸化膜を貫通してシリコン基板に貫入することにあると見出した。即ち、ゲート酸化膜の絶縁耐压の劣化が生じる原因は、プラズマ近傍

(ウェハー側)に存在する高荷電粒子密度領域から荷電粒子が飛来してウェハーに衝突する衝突確率が増大するからであると推測した。ターゲットのエロージョン測定から明らかなように、プラズマ密度の高い領域は、ターゲットの直径方向について、中央部よりも周辺部に集中している。そして、プラズマ密度の高い領域は、ターゲットからウェハーに向かう方向に見て、ターゲットの極く近傍に存在するが、荷電粒子密度の高い領域は、むしろプラズマ領域のウェハー側に存在していると考えられる。そこで、荷電粒子が、ウェハー上に飛来し、衝突す

るのを防止するために、ターゲットに近い位置であって、しかもプラズマ領域から僅かにウェハ側に離れた位置にコリメート板を配置して、荷電粒子をコリメート板により捕捉することを着想し、更には、ターゲットとコリメート板との位置関係を研究して、本発明を完成するに至った。

【0030】上述した本発明の更なる目的を達成するために、上述の知見に基づいて、本発明に係るスパッタ装置は、ターゲットホルダに保持されたターゲットと、ターゲットに対面させるようにして、ターゲット金属を堆積させるウェハを保持するウェハホルダとを備え、ターゲット金属をウェハ上にスパッタリングするスパッタ装置において、ターゲットホルダと、ウェハホルダとの間に、ターゲットからウェハに向けて貫通した多数個の貫通孔を有する導電体からなるコリメート板を接地した状態で介在させることを特徴としている。

【0031】また、後述の実験例 1 及び 2 の結果から判るように、コリメート板の介在効果は、コリメート板のターゲットに対する位置によって大幅に異なり、ゲート酸化膜の絶縁耐圧の劣化防止に関し、コリメート板のターゲットに対する位置には、臨界的な意義がある。そこで、本発明の好適な実施態様では、コリメート板が、ターゲットホルダに対して第 1 の間隔 D_1 以下で第 2 の間隔 D_2 以上の範囲の間隔で配置されていて、更に好適には、スパッタ装置は、コリメート板を前記範囲の間隔内に位置決めし、保持する位置調整手段を備えている。第 1 の間隔 D_1 及び第 2 の間隔 D_2 は、スパッタ装置の構造により、またスパッタリング条件により、それぞれ、異なるものの、実用的には、後述する理由から、第 1 の間隔 D_1 が 50 mm であり、第 2 の間隔 D_2 が 24 mm である。

【0032】また、コリメート板の表面積に対する全貫通孔の開口面積の総和の比率、開口率は高い方がよく、また、コリメート板の貫通孔の形状及び寸法に制約はないものの、好適には、コリメート板は、貫通孔のアスペクト比が 0.7 以上 1.3 以下の網状板である。

【0033】本発明は、グロー放電によりスパッタリングを行うスパッタ装置である限り、スパッタ装置の種類、形式に制約はなく適用でき、例えば、直流スパッタ装置、高周波 (RF) スパッタ装置及びマグネトロンスパッタ装置に適用できる。

【0034】コリメート板がターゲットとウェハとの間に介在する場合、ゲート絶縁膜の初期耐圧劣化の程度は、コリメート板とターゲットホルダとの距離、コリメート板のアスペクト比及びスパッタレートに依存すると考えられる。

【0035】コリメート板が介在しない場合、高荷電粒子領域から飛来する荷電粒子が直接的にウェハに衝突する確率は、ウェハ周辺部ほど高く、従ってウェハ周辺部のゲート絶縁膜の初期耐圧劣化の程度がウェハ中

央部に比べて激しい。例えばマグネトロンスパッタ装置の場合、マグネトロンスパッタ装置毎にカソードマグネットの形状、寸法が異なり、その結果、ターゲット直径方向のプラズマ密度分布、ひいては荷電粒子の分布が異なるため、劣化パターン (マップ) は、各装置に固有なパターンとなるものの、一般的な傾向として、ウェハ周辺部ほど劣化が激しい。また、コリメート板が介在しない場合、ウェハ中央部でも、コリメート板を介在させた場合に比べて、ゲート・ソース/ドレイン間のリーク電流の増大などが計測されており、スパッタ時にゲート酸化膜にダメージが与えられていることは明らかである。

【0036】コリメート板とターゲットホルダとの距離 (T/C 間距離) は、この高荷電粒子密度域から直接飛来する荷電粒子を捕捉する確率が高くなるように決定されるべき因子であって、前述したように、コリメート板の介在効果は、コリメート板のターゲットに対する位置によって大幅に異なり、コリメート板のターゲットに対する位置には臨界的な意義がある。例えば、T/C 間距離が 50 mm 以上であると、コリメート板の介在効果は大幅に低下する。T/C 間距離を短くして、荷電粒子のコリメート板に対する入射角度を大きくすれば、荷電粒子のコリメート板での捕捉確率を高めることができるので、荷電粒子の飛来、衝突によるゲート酸化膜の絶縁耐圧の劣化を効果的に防止できる。しかし、逆に、T/C 間距離が短すぎると、高密度プラズマ存在領域にコリメート板が接触するために、コリメート板がスパッタリングされて削られる恐れがあり、非常に危険であるから、その見地から T/C 間距離には許容最短距離 (例えば 24 mm) が設定される。

【0037】また、コリメート板のアスペクト比を大きくすることは、前述の高荷電粒子密度域からの荷電粒子を捕捉する確率が高くなるので、ゲート酸化膜の初期絶縁耐圧の劣化防止に有効である。しかし、アスペクト比が大きすぎると、スパッタ金属が捕捉されるので、スパッタレートが低下する。

【0038】

【発明の実施の形態】次に本発明の各実施の形態について、図面と共に説明する。

本発明に係る半導体装置の製造方法の第 1 の実施形態

図 1 は本発明になる半導体装置の製造方法の第 1 の実施の形態の各工程の素子断面図を示す。まず、図 1 (a) に示すように P 型シリコン基板 101 に N ウェル 102 を既知の方法により形成する。次いで、P 型シリコン基板 101 の表面にフィールド絶縁膜としてフィールド酸化膜 103 を選択酸化法により形成する。このフィールド酸化膜 103 に囲まれた活性領域に、順次シリコン酸化膜などのゲート絶縁膜 104 と多結晶シリコンを成長し、多結晶シリコンにリンを既知の手法によりドーピングして多結晶シリコンの電気抵抗の低減を図る。

【0039】次いで、既知の手法であるフォトリソグラフィ法とドライエッチング法により、多結晶シリコンをパターンニングして図1(a)に示すようにゲート電極105を形成する。次に、フォトリソグラフィ法とイオン注入法により、低濃度のN型不純物拡散層113と低濃度のP型不純物拡散層114を形成する。次いで、ゲート電極105の側面にシリコン酸化膜あるいはシリコン窒化膜から構成されるサイドウォール106を既知のCVD技術とエッチング技術を用いて形成する。

【0040】次に、図1(b)に示すように、フォトリソグラフィ法とイオン注入法により、N型不純物拡散層のソース・ドレイン領域107とP型不純物拡散層のソース・ドレイン領域108を形成する。かくして、LDD構造としてN型ソース・ドレイン領域107、P型ソース・ドレイン領域108が形成される。

【0041】次いで、ゲート電極105である多結晶シリコンの表面と半導体基板表面の自然酸化膜を除去し、例えばゲート電極105に到達する電荷量 Q が $5\text{C}/\text{cm}^2$ 以下になるような条件とするマグネトロンスパッタ装置を使用して、高融点金属であるチタンをスパッタ堆積してチタン膜109を形成する。この際、使用するマグネトロンスパッタ装置には、ウェハーとターゲット間にコリメート板のような例えば網状の導電体を挿入してスパッタを行う。

【0042】図6は本発明方法の第1の実施の形態で使用するマグネトロンスパッタ装置の一例の構成図を示す。図6(a)に示すマグネトロンスパッタ装置は、チャンバ61内にウェハーホルダ62上にウェハー63が載置され、これに離間対向する位置にカソードマグネット64とターゲット65が配置され、ウェハー63とターゲット65との間の空間位置にコリメート板66が配置されている。

【0043】通常用いるコリメート板は、スパッタ粒子の異方性を高めるものであり、網のアスペクト比が1程度のものであるが、このスパッタ装置で用いるコリメート板66は、図6(b)に上面図を示すように、網状の導電体からなる構成である。なお、このコリメート板66は、単に導電性のある板をウェハーとターゲット間に挿入すればよく、コリメート板66のアスペクト比および寸法、形状は任意であり、また、ウェハー63の全面を覆っている必要もなく、プラズマ強度分布が高いあるいは電荷が発生しやすい領域だけをカバーしていればよい。

【0044】さらに、また、このコリメート板66の形状はスパッタ装置によって寸法、形状を調整すればよいものである。なお、このコリメート板66の網状の導電体は、設地電位として用いてもよいが、プラズマ状態に対応して、電位を与えることによりさらに効果が上がる。また、第1の実施の形態では、チタン膜を109を堆積した例を示しているが、コバルト、ニッケル等の他

の高融点金属を堆積するようにしても同様の効果が得られることは勿論である。

【0045】次に図1(c)に示すように、窒化雰囲気中で 700°C 以下の急速熱処理(RTA)することにより、多結晶シリコンであるゲート電極105の表面およびソース・ドレイン領域107および108と接触するチタン膜109の界面のみにC49型構造のチタンシリサイド層110を形成する。また、この際、フィールド酸化膜103およびサイドウォール106と接触するチタン膜109と半導体基板上的チタン膜109の一部は窒化されて窒化チタン膜111となる。

【0046】次に図1(d)に示すように、アンモニア水および過酸化水素水等の混合液などにより、選択的にウェットエッチングし、未反応チタンと窒化チタン膜111のみを除去する。次いで、前述のRTAよりも高温(800°C 以上)のRTAを行い、前記のC49型構造のチタンシリサイド層110よりも電気抵抗率の低いC54型構造のチタンシリサイド112を形成する。

【0047】このようにして製造されたMOS型電界効果トランジスタは、スパッタによるゲート耐圧の劣化が起こっておらず、良好なゲート耐圧が得られている。コリメート板66がウェハー63とターゲット65間に挿入されているために、ウェハー63に到達するはずの電荷がコリメート板66に流れて、ゲート電極105のチャージアップが抑制されいるためである。

【0048】このようにサリサイド構造を有したフローティングゲート電極上に高融点金属をスパッタ堆積する場合には、ウェハーへ到達する電荷量を制御する方法として、発生した電荷をウェハーに到達しないようにすることでゲート耐圧特性を向上させることができる。

本発明に係る半導体装置の製造方法の第2の実施形態

図2(a)に示すようにP型シリコン基板201にNウェル202を既知の方法により形成する。次いで、P型シリコン基板201の表面にフィールド絶縁膜としてフィールド酸化膜203を選択酸化法により形成する。このフィールド酸化膜203に囲まれた活性領域に、順次シリコン酸化膜などのゲート絶縁膜204と多結晶シリコンを成長し、多結晶シリコンにリンを既知の手法によりドーブして多結晶シリコンの電気抵抗の低減を図る。次いで、既知の手法であるフォトリソグラフィ法とドライエッチング法により、多結晶シリコンをパターンニングし図2(a)に示すように、ゲート電極205を形成する。

【0049】次に、フォトリソグラフィ法とイオン注入法により、低濃度のN型不純物拡散層213と低濃度のP型不純物拡散層214を形成する。次いで、ゲート電極205の側面にシリコン酸化膜あるいはシリコン窒化膜から構成されるサイドウォール206を既知のCVD技術とエッチング技術を用いて形成する。

【0050】次に、図2(b)に示すようにフォトリソ

グラフィー法とイオン注入法により、N型不純物拡散層のソース・ドレイン領域207とP型不純物拡散層のソース・ドレイン領域208を形成する。次いで、ゲート電極205である多結晶シリコンの表面と半導体基板表面の自然酸化膜を除去し、例えばゲート電極に到達する電荷量 Q が 5 C/cm^2 以下になるような条件とするマグネトロンスパッタ装置を用いて、高融点金属であるチタンをスパッタ堆積してチタン膜209を形成する。

【0051】このときに使用するマグネトロンスパッタ装置の構成を図7(b)、(d)または(e)に示す。10 従来のスパッタ装置として、図7(a)に示す如く、チャンバ71内にウェハーホルダ72上にウェハー73が載置され、ウェハー73に離間対向する位置にターゲット74が配置された、ホルダーマグネットがない構造のスパッタ装置が知られているが、このものは発明者らの詳細な実験結果により、プラズマ75のプラズマ密度が最大の領域が最もゲート初期耐圧劣化が見られた。

【0052】これに対して、図7(b)に示すマグネトロンスパッタ装置は、ホルダーマグネットがない構造の20 マグネトロンスパッタ装置において、プラズマ77のプラズマ密度最大の領域が基板(ウェハー)外側になるように、大きさを設定したターゲット76を用いた構造のマグネトロンスパッタ装置であり、上記のチタン膜209をスパッタ堆積した場合には、プラズマ77から発生した電荷がウェハー73に到達しないようにできるため、良好な電気特性が得られた。

【0053】また、図7(a)及び(b)に示したマグネトロンスパッタ装置は、プラズマ75、77がウェハー73に直接接触している構造であるが、従来のマグネトロンスパッタ装置には図7(c)に示すように、30 プラズマ80がウェハー73に接しない状態でホルダーマグネット79が装着されている構造のマグネトロンスパッタ装置も知られている。すなわち、この従来のマグネトロンスパッタ装置では、チャンバ71内にウェハーホルダ72上にホルダーマグネット79を介してウェハー73が載置されており、ターゲット74からのプラズマ80はウェハー73には接しない。

【0054】しかし、この従来のマグネトロンスパッタ装置でも、プラズマから発生した電荷(A^+ あるいは電子)がウェハー73に到達することにより、同様にゲート初期耐圧不良が生じ、発明者の詳細な実験結果より、ウェハー73周辺部にゲート初期耐圧の劣化箇所が見られた。40

【0055】そこで、このホルダーマグネットがある構造のマグネトロンスパッタ装置として、この実施の形態では、図7(d)または図7(e)に示した構造のマグネトロンスパッタ装置を使用してチタン膜209をゲート電極に到達する電荷量 Q が 5 C/cm^2 以下になるような条件でスパッタ堆積する。図7(d)に示すマグネトロンスパッタ装置は、プラズマを安定化させるために50

取り付けられているホルダーマグネット81を、ウェハー73の側面を覆う形状とした点に特徴があり、これにより、プラズマ82から発生した電荷を、ホルダーマグネット81の磁場によりトラップすることにより、ゲート初期耐圧不良を抑制することができる。

【0056】また、図7(e)に示すマグネトロンスパッタ装置は、プラズマを安定化させるために取り付けられているホルダーマグネット83の磁界強度を、プラズマ84のプラズマ最大領域がウェハー83より上部にあるように設定した点に特徴があり、これにより、プラズマ84から発生した電荷を、ホルダーマグネット83の磁場によりトラップすることにより、ゲート初期耐圧不良を抑制することができる。

【0057】図7(d)あるいは図7(e)に示した構造のマグネトロンスパッタ装置の場合には、ホルダーマグネット81、83から発生した磁場により電荷がトラップされたことで、周辺部にも劣化箇所は見られず良好な電気特性が得られた。実際には、マグネトロンスパッタ装置の構造によってゲート初期耐圧の劣化の程度が変化するため、上述のプラズマ最大領域を変更する方法とウェハー側のホルダーマグネットにより発生する磁場によってトラップする方法の組み合わせで最適化する場合も考えられる。

【0058】この第2の実施の形態では、チタンを堆積した例を示しているが、コバルト、ニッケル等の他の高融点金属を堆積するようにしても同様の効果が得られることは勿論である。

【0059】再び図2に戻って説明するに、次に図2(c)に示すように窒素雰囲気中で 700°C 以下の急速熱処理(RTA)をすることにより、多結晶シリコンであるゲート電極205の表面およびソース・ドレイン領域107および108と接触するチタン膜109の界面のみにC49型構造のチタンシリサイド210を形成する。また、この際、図2(c)に示すように、フィールド酸化膜203およびサイドウォール206と接触するチタン膜209と半導体基板上のチタン膜209の一部は窒化されて窒化チタン膜211となる。

【0060】次に、図2(d)に示すように、アンモニア水および過酸化水素水等の混合液などにより、選択的にウェットエッチングし、未反応チタンと窒化チタン膜211のみを除去する。次いで、前述のRTAよりも高温(800°C 以上)のRTAを行い、前記のC49型構造のチタンシリサイド210よりも電気抵抗率の低いC54型構造のチタンシリサイド212を形成する。

【0061】この実施の形態では、マグネトロンスパッタ装置構成を図7(b)、(d)または(e)のような構造にすることで、プラズマから発生する電荷がウェハーに到達せず、ゲート初期耐圧劣化が抑えられる。更に、第1の実施の形態で用いるマグネトロンスパッタ装置では導電体の網状のコリメート板を挿入しているた

め、スパッタされた膜が導電体の網状のコリメート板に堆積されることによりウェハー上へのスパッタレートの低下やパーティクル等の問題のため、コリメート板の交換の必要があるのに対し、この第2の実施の形態で用いるマグネトロンスパッタ装置では、導電体の網状のコリメート板を挿入していないため、コリメート板の交換の必要がなくなり、装置を安定に維持し易いという利点もある。

【0062】なお、以上の第1および第2の実施の形態では、ゲート及び拡散層上に同時にシリサイドを形成する方法について示したが、ポリサイドゲート (WSix/Poly-Si)、ポリタメルゲート (W/WNx/Poly-Si) あるいは、メタルゲート (W/SiO₂) 構造等のフローティングゲート上に高融点金属をスパッタして拡散層上にシリサイドを形成する場合についても、本発明を適用できることは勿論である。

【0063】本発明に係るスパッタ装置の実施形態例
本実施形態例は、本発明に係るスパッタ装置をマグネトロンスパッタ装置に適用した実施形態の一例であって、図10(a)は本実施形態例のマグネトロンスパッタ装置の構成を示す模式的断面図、図10(b)はコリメート板の平面図、図10(c)はコリメート板の側面図である。図10中、図8と同じ部品、部位には同じ符号を付している。本実施形態例のマグネトロンスパッタ装置30は、図10に示すように、基本的には、前述の図6に示したマグネトロンスパッタ装置と同じ構成を備えており、スパッタ・チャンバ12内に、ウェハーWを載置させるウェハーホルダ14と、ウェハーWに対して離間、対面する位置にターゲットTを保持するカソードマグネット16と、ウェハーホルダ14とカソードマグネット16との間に設けられた網板状のコリメート板32とを備えている。

【0064】コリメート板32は、スパッタ粒子の異方性を高めると共に荷電粒子を捕捉するために設けられており、図10(b)に示すように、正六角形を連続させた網形状の、導電体からなる網状板として構成され、接地されている。コリメート板32の正六角形の網目又は孔は、ターゲットTからウェハーWに向かって貫通し、網目又は孔のアスペクト比は1である。即ち、コリメート板の厚さt(図10(c)参照)と網目又は孔の径D(網目又は孔の最大径、図10(b)参照)とは同じ長さである。また、コリメート板32は、位置調整機構34により、コリメート板32の面からカソードマグネット16のターゲット保持面までの距離(T/C間距離、図10(a)では、L₁で表示)が変更され、その位置に保持されるようになっている。位置調整機構34は、既知の機構であって、油圧シリンダ、エアシリンダ等の駆動装置によりコリメート板32を上下に自在に昇降させる。なお、コリメート板32の広さは、コリメート板32がウェハーWの全面を覆っている必要もなく、ブラ

ズマ強度分布が高い、あるいは荷電粒子が発生しやすい領域だけをカバーしておればよい。

【0065】実験例1

アネルパ(株)製のモデル番号I-1060にコリメート板を装着した、本実施形態例のマグネトロンスパッタ装置30と同じ構成の実験装置を使って、スパッタリング実験を行った。以下に、実験装置の仕様を簡単に示す。

ターゲット

厚さ : 3mm

直径 : 12インチ

ウェハーホルダ

ウェハー寸法 : 6インチ径又は8インチ径

チャック方式 : クランプチャック

コリメート板

孔径D : 2.3mm

厚さt : 2.3mm

孔の形状 : 正六角形の連続形状

アスペクト比 : 1

材質 : ステンレス鋼

【0066】上述の実験装置で、カソードマグネット16のターゲット保持面とウェハーWの表面との距離(T/S間距離、図10(a)では、L₁で表示)を103mmに調整し、かつカソードマグネット16のターゲット保持面とコリメート板32の対向面との距離L₁を34mmに調整して、ウェハーホルダ14とカソードマグネット16との間に印加するスパッタ電力を1.0kW、1.5kW及び2.0kWに変えて、以下のスパッタリング条件でC₆₀をスパッタし、膜厚100ÅのC₆₀膜を図9に示すポリシリコン膜上に成膜した。

スパッタリング条件

ホルダ温度 : 室温

チャンバ圧力 : 3~8mTorr

次いで、ゲート酸化膜の絶縁耐圧の良否をチップ毎に調べ、図12(a)~(c)に示すように、ゲート酸化膜の重度絶縁不良のチップを黒色、及び軽度絶縁不良のチップを灰色に彩色した。

【0067】実験例2

実験例1と同じ実験装置を使い、カソードマグネット16のターゲット保持面とウェハーWの表面との距離L₁を113mmに調整し、かつカソードマグネット16のターゲット保持面とコリメート板32の対向面との距離L₁を24mm、29mm、34mm、39mm、44mm及び56mmに変更し、かつ同じL₁でウェハーホルダ14とカソードマグネット16との間に印加するスパッタ電力を1.0kW、1.5kW及び2.0kWに変えて、計18回の相互に異なる条件でC₆₀スパッタリングを行った。尚、その他の条件は、実験例1と同じスパッタリング条件と同じである。次いで、ゲート酸化膜の絶縁耐圧の良否をチップ毎に調べ、図13(a)~(c)から図

18 (a) ~ (c) に示すように、ゲート酸化膜の重度絶縁不良のチップを黒色、及び軽度絶縁不良のチップを灰色に彩色した。

【0068】図19に示すように、スパッタ電力をパラメータとして、実験例1と2の実験結果を集計した。図19では、横軸に L_1 、縦軸にゲート酸化膜の良品率(%)を取っている。図19から判る通り、スパッタ電力の大小にかかわらず、 L_1 が39mm以下では、良品率がほぼ100%に達し、一方、 L_1 が44mm以上では、良品率は60%以下に急激に低下する。即ち、ゲート酸化膜の良品率、即ちコリメート板32の介在効果に関し、コリメート板32のターゲット、又はカソードマグネットに対する明確な臨界的位置が、39mmと44mmの間に存在することが判る。図19の左端の棒グラフは、コリメート板を介在させないときの良品率の数値であった、 L_1 が56mmのときの良品率とほぼ同じである。

【0069】実験例3

実験例1と同じ実験装置を使い、カソードマグネットに対するコリメート板の距離 L_1 を29mm、カソードマグネットとウェハーホルダとの距離 L_2 を68mmに設定して、以下のスパッタリング条件の下でスパッタ電力(kW)とゲート酸化膜の良品率との関係を調べ、その結果を図20に示した。また、比較のために、コリメート板を備えていないこと除いて実験装置と同じ構成のマグネ

トロンスパッタ装置を使って、スパッタリングを行い、その結果も合わせて図20に示した。

スパッタリング条件

チャンバ圧力 : 8~10mTorr

ガス流量 : 80~100scc/m

スパッタパワー : 1.5kW

図20から判る通り、本発明で特定した距離関係でコリメート板を設けることにより、コリメート板を備えないマグネトロンスパッタ装置に比べて、本実施形態例のマグネトロンスパッタ装置は、ゲート酸化膜の良品率のスパッタ電力依存性が極めて低い。

【0070】実験例4

実験例1と同じ実験装置を使い、カソードマグネットに対するコリメート板の距離 L_1 を29mm、カソードマグネットとウェハーホルダとの距離 L_2 を68mmに設定して、以下のスパッタリング条件の下でスパッタレート(A/sec)とゲート酸化膜の良品率の関係を調べ、その結果を図21に表示した。また、比較のために、コリメート板を備えていないこと除いて本実施形態例の同じ構成のマグネトロンスパッタ装置を使って、スパッタリングを行い、その結果も合わせて図21に表示した。

スパッタリング条件

チャンバ圧力 : 8~10mTorr

ガス流量 : 80~100scc/m

スパッタパワー : 1.5kW

図21から判る通り、本発明で特定した距離関係でコリ

メート板を設けることにより、コリメート板を備えないマグネトロンスパッタ装置に比べて、本実施形態例のマグネトロンスパッタ装置は、良品率のスパッタレート依存性が低い。

【0071】ところで、スパッタレートを上げることにより、導電性の金属(もしくは金属珪化物)がウェハー表面を速やかに覆うため、荷電粒子はゲートの深さ方向よりもウェハーの水平方向に進むようになり、ゲート酸化膜の初期耐圧劣化確率は低くなる。従って、スパッタレートを上げることは、図21に示すように、ゲート酸化膜の初期絶縁耐圧の劣化防止に有効である。但し、スパッタレートが速過ぎると、ウェハーの面内膜厚分布差が増大し、更には高温スパッタ時のシリサイド化反応量の減少なども懸念されるために、高スパッタレートでのスパッタは、余り好ましくない。実験例3のスパッタパワーを2.6kWにすることで、スパッタレートを上げると、コリメート板をカソードマグネット16のカソード保持面に対する距離を50mmにした場合でも、良品率は98%であることが検証された。なお、スパッタレートを上げてゲート酸化膜の絶縁耐圧の劣化防止を図ろうとしても、スパッタが始まった直後には荷電粒子のゲートへの飛来を遮断する導電性の金属膜が成膜されていないので、コリメート板を介在させた場合に比べて、ゲート酸化膜の初期耐圧劣化防止の効果が低い。また、装置メーカーの異なるエンジュラ(AMAT ENDURA)での結果で、46.5mmでも満足する結果が得られた。

【0072】実験例5

実験例1及び実験例2で使用した本実施形態例のマグネトロンスパッタ装置を使い、カソードマグネットに対するコリメート板の距離 L_1 を34mm、カソードマグネットとウェハーホルダとの距離 L_2 を103mmに設定し、印加電圧を1.5kWに固定し、かつガス圧を5mTorr、8mTorr、10mTorr、及び15mTorrに設定して、それぞれ、C oスパッタリングを行い、ゲート酸化膜の良品率のガス圧依存性を関係を調べた。その結果、5mTorr、8mTorr、10mTorr、及び15mTorrのガス圧で、ゲート酸化膜の良品率は、それぞれ、100%であって、コリメート板を設けたマグネトロンスパッタ装置では、ゲート酸化膜の良品率には、ガス圧依存性が無いことが判った。

【0073】以上の実験例1から実験例5の結果から、本実施形態例のスパッタ装置は、カソードマグネット16のカソード保持面に対して距離24mm以上50mm以下の範囲にコリメート板32を配置させることにより、ゲート電極に高融点金属シリサイド膜を形成する際、ゲート酸化膜の絶縁耐圧の劣化が生じないようにして、高融点金属をポリシリコン膜上にスパッタできるスパッタ装置であることが実証されている。また、本実施形態例のスパッタ装置は、ゲート酸化膜の良品率に関し、スパッタ電力依存性、スパッタレート依存性及びガス圧依存性

が低く、スパッタリング条件を広い範囲で設定することができる。

【0074】

【発明の効果】以上説明したように、本発明によれば、半導体基板上に選択的に形成される絶縁膜間に高融点金属シリサイド層を形成する半導体装置の製造方法において、ゲート耐圧の劣化が生じない条件で高融点金属をスパッタ堆積するようにしたため、高融点金属シリサイド層を形成することにより低抵抗化を図るMOS型電界効果トランジスタ(MOSFET)を、ゲート絶縁膜の薄膜化や高集積化により微細化した場合でも、より信頼性高く製造することができる。

【0075】本発明に係るスパッタ装置によれば、ターゲットホルダと、ウェハーホルダとの間に、ターゲットからウェハーに向けて貫通した多数の貫通孔を有する導電体からなるコリメート板を接地した状態で介在させることにより、好適には、コリメート板をターゲットホルダーに対して第1の間隔D₁以下で第2の間隔D₂以上の範囲の間隔で配置することにより、ゲート電極に高融点金属シリサイド膜を形成する際、ゲート酸化膜の絶縁耐圧の劣化が生じないようにして、高融点金属をポリシリコン膜上にスパッタできるスパッタ装置を実現している。また、本発明に係るスパッタ装置は、ゲート酸化膜の良品率に関し、スパッタ電力依存性、スパッタレート依存性及びガス圧依存性が低く、スパッタリング条件を広い範囲で設定することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の各工程での素子断面図である。

【図2】本発明の第2の実施の形態の各工程での素子断面図である。

【図3】従来方法の一例の各工程での素子断面図。

【図4】従来のスパッタ条件で行った場合のゲート耐圧の良品率等を示す図である。

【図5】コリメート板を挿入した場合のゲート耐圧特性の良品率等を示す図である。

【図6】本発明の第1の実施の形態で使用するスパッタ装置の構成図である。

【図7】本発明の第2の実施の形態で使用する各例のスパッタ装置と従来のスパッタ装置の構成図である。

【図8】従来のスパッタ装置の構成を示す模式図である。

【図9】シリサイド化の説明図である。

【図10】図10(a)は実施形態例のスパッタ装置の構成を示す模式図、図10(b)はコリメート板の平面図、図10(c)はコリメート板の側面図である。

【図11】従来のスパッタ装置を使ってスパッタリングした際のゲート酸化膜劣化を示すウェハーマップである。

【図12】図12(a)～(c)は、それぞれ、本実施

形態例のスパッタ装置を使って、相互に異なる条件下でスパッタした際のゲート酸化膜劣化を示すウェハーマップである。

【図13】図13(a)～(c)は、それぞれ、本実施形態例のスパッタ装置を使って、相互に異なる条件下でスパッタした際のゲート酸化膜劣化を示すウェハーマップである。

【図14】図14(a)～(c)は、それぞれ、本実施形態例のスパッタ装置を使って、相互に異なる条件下でスパッタした際のゲート酸化膜劣化を示すウェハーマップである。

【図15】図15(a)～(c)は、それぞれ、本実施形態例のスパッタ装置を使って、相互に異なる条件下でスパッタした際のゲート酸化膜劣化を示すウェハーマップである。

【図16】図16(a)～(c)は、それぞれ、本実施形態例のスパッタ装置を使って、相互に異なる条件下でスパッタした際のゲート酸化膜劣化を示すウェハーマップである。

【図17】図17(a)～(c)は、それぞれ、本実施形態例のスパッタ装置を使って、相互に異なる条件下でスパッタした際のゲート酸化膜劣化を示すウェハーマップである。

【図18】図18(a)～(c)は、それぞれ、本実施形態例のスパッタ装置を使って、相互に異なる条件下でスパッタした際のゲート酸化膜劣化を示すウェハーマップである。

【図19】スパッタ電力をパラメータとして、実験例1と2の実験結果を集計したグラフである。

【図20】良品率のスパッタパワー依存性を示すグラフである。

【図21】良品率のスパッタレート依存性を示すグラフである。

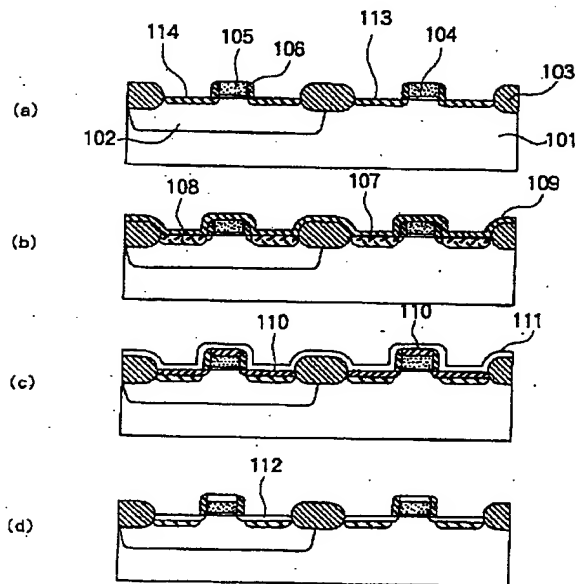
【符号の説明】

- 10 従来のスパッタ装置
- 12 スパッタ・チャンバ
- 14 ウェハーホルダ
- 16 カソードマグネット
- 20 シリコン基板
- 22 ポリシリコン膜
- 24 C_o膜
- 26 サイドウォール
- 28 ゲート酸化膜
- 30 実施形態例のスパッタ装置
- 32 コリメート板
- 34 位置調整機構
- 61、71 チャンバ
- 62、72 ウェハーホルダ
- 63、73 ウェハー
- 65、74、76 ターゲット

19

- 66 コリメート板
 75、77、80、82、84 プラズマ
 79、81、83 ホルダマグネット
 101、201 P型シリコン基板
 102、202 Nウェル
 103、203 フィールド酸化膜
 104、204 ゲート絶縁膜
 105、205 ゲート電極
 106、206 サイドウォール

【図1】

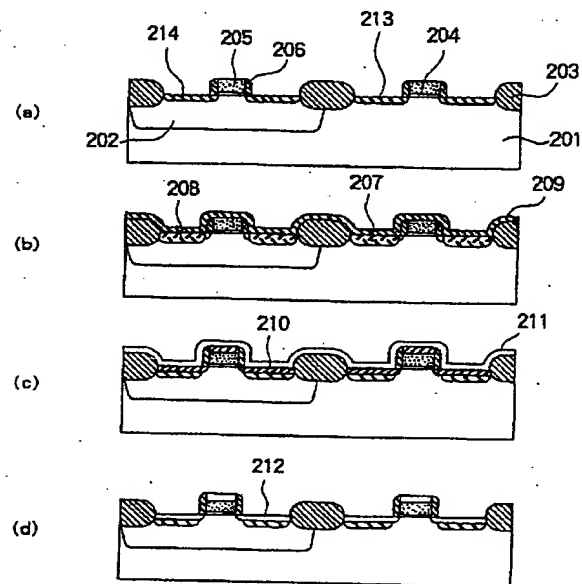


- 101 : P型シリコン基板 107 : N型ソース・ドレイン領域
 102 : N型ウェル 108 : P型ソース・ドレイン領域
 103 : フィールド酸化膜 109 : チタン膜
 104 : ゲート絶縁膜 110 : C49型構造のチタンシリサイド層
 105 : ゲート電極 111 : 窒化チタン膜
 106 : サイドウォール 112 : C54構造のチタンシリサイド層

20

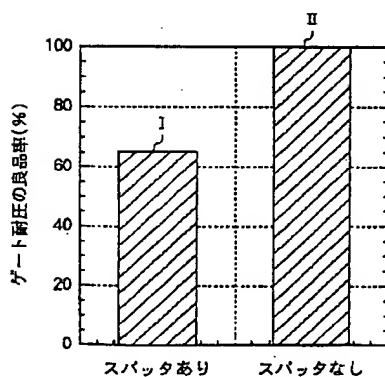
- 107、207 N型ソース・ドレイン領域
 108、208 P型ソース・ドレイン領域
 109、209 チタン膜
 110、210 C49型構造のチタンシリサイド層
 111、211 窒化チタン膜
 112、212 C54型構造のチタンシリサイド層
 113、213 N型不純物拡散層
 114、214 P型不純物拡散層

【図2】

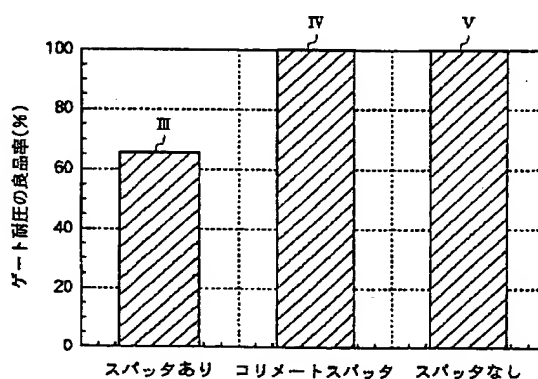


- 201 : P型シリコン基板 207 : N型ソース・ドレイン領域
 202 : N型ウェル 208 : P型ソース・ドレイン領域
 203 : フィールド酸化膜 209 : チタン膜
 204 : ゲート絶縁膜 210 : C49型構造のチタンシリサイド層
 205 : ゲート電極 211 : 窒化チタン膜
 206 : サイドウォール 212 : C54構造のチタンシリサイド層

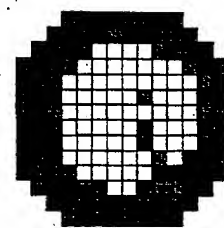
【図4】



【図5】

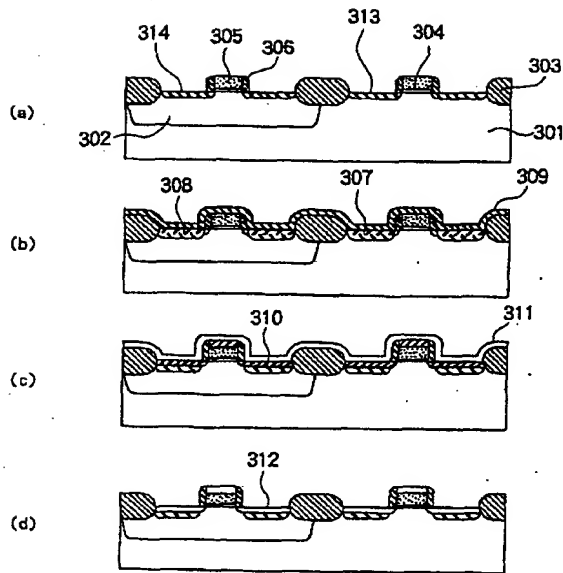


【図11】



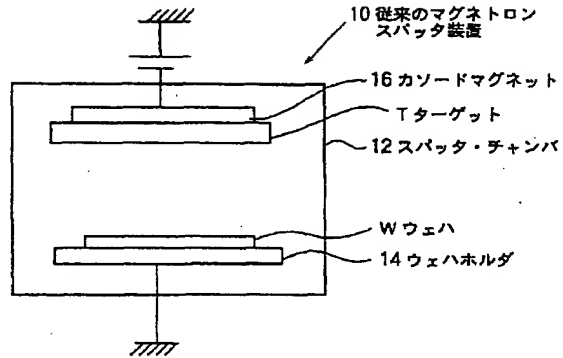
コリメータなし

【図 3】

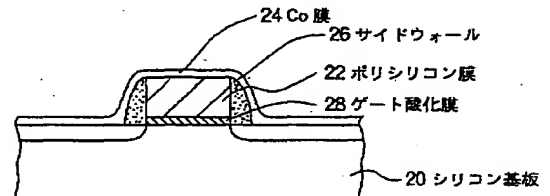


- 301 : P 型シリコン基板 307 : N 型ソース・ドレイン領域
 302 : N 型ウェル 308 : P 型ソース・ドレイン領域
 303 : フィールド酸化膜 309 : チタン膜
 304 : ゲート絶縁膜 310 : C49 型構造のチタンシリサイド層
 305 : ゲート電極 311 : 窒化チタン膜
 306 : サイドウォール 312 : C54 構造のチタンシリサイド層

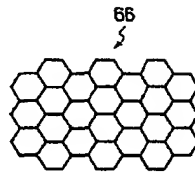
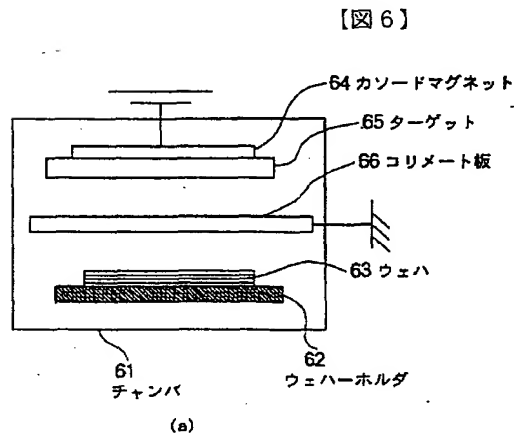
【図 8】



【図 9】

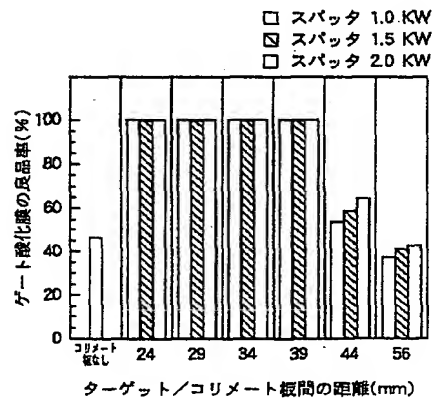


【図 19】

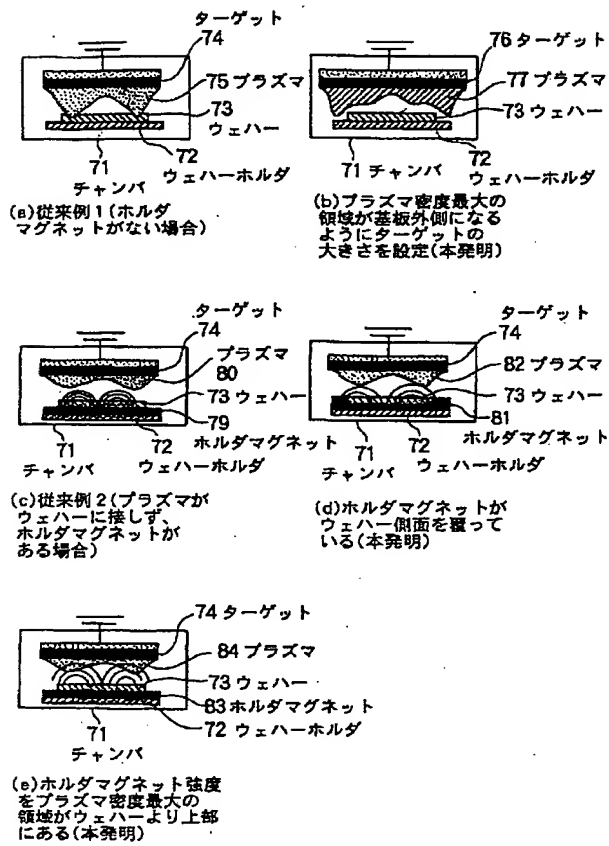


コリメート板の上面図

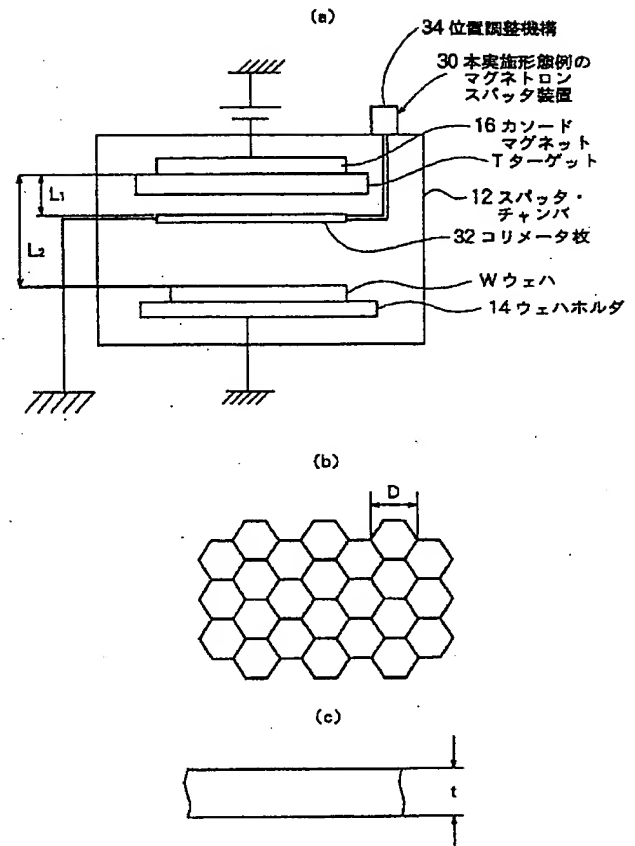
(b)



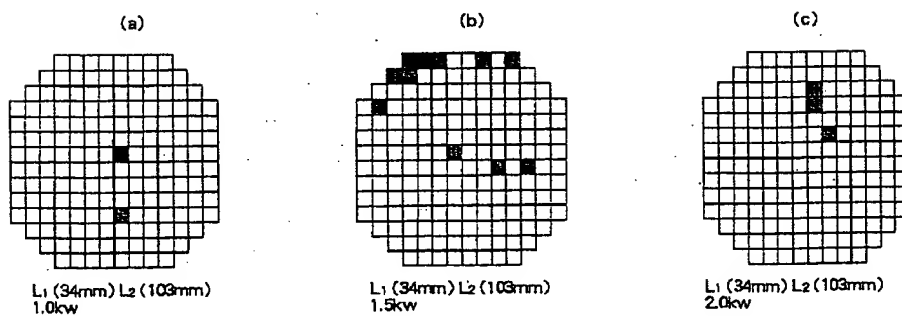
【図 7】



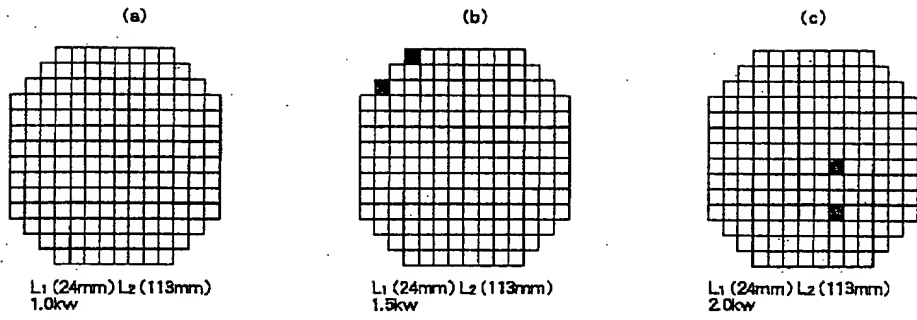
【図 10】



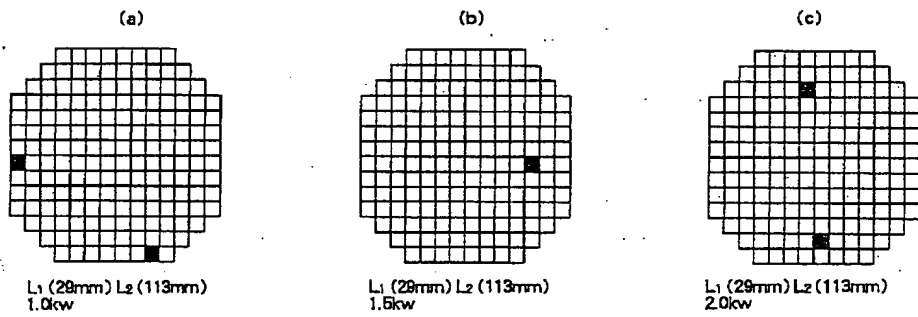
【図 12】



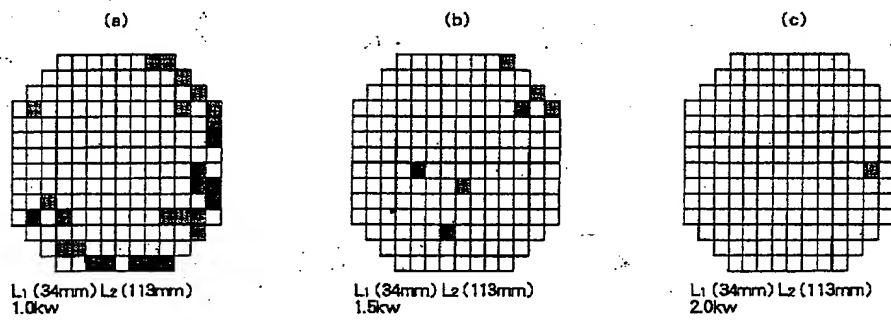
【図 1 3】



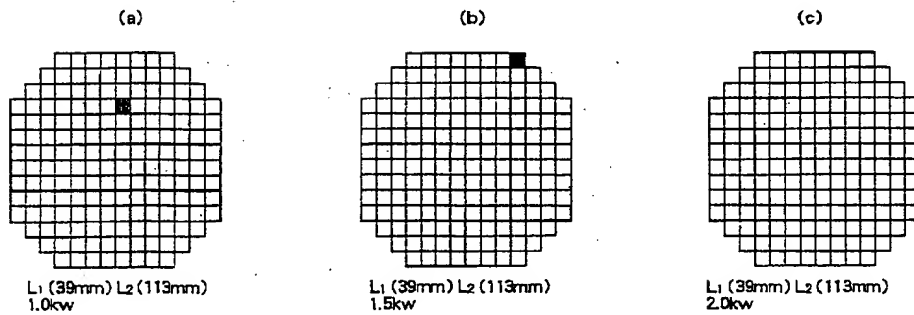
【図 1 4】



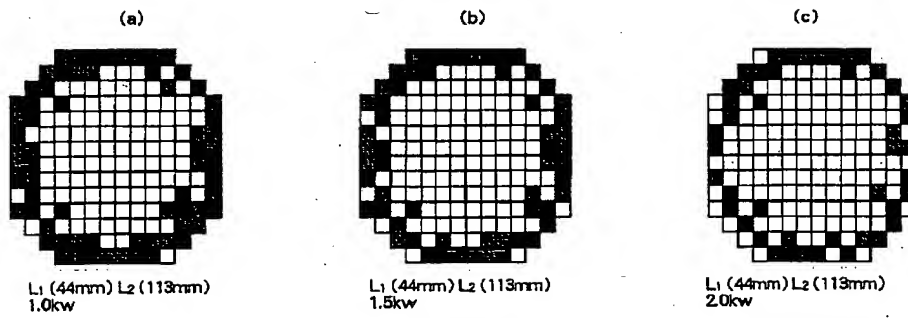
【図 1 5】



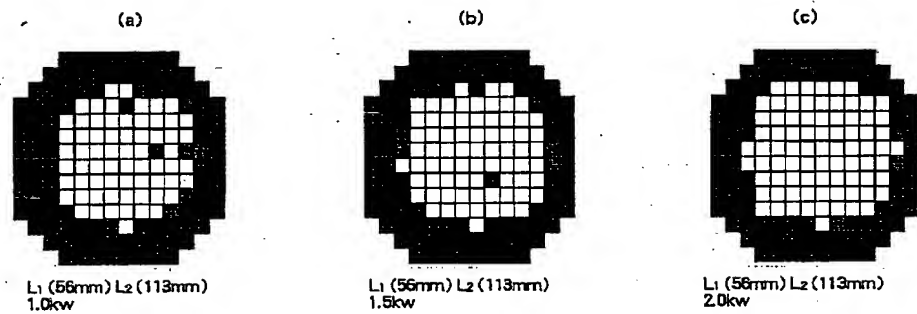
【図 1 6】



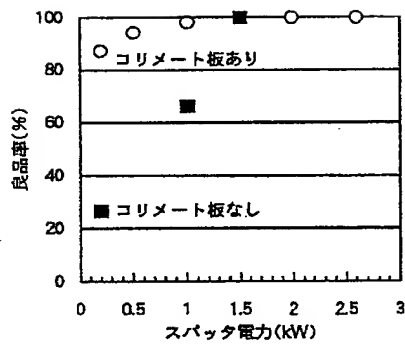
【図 17】



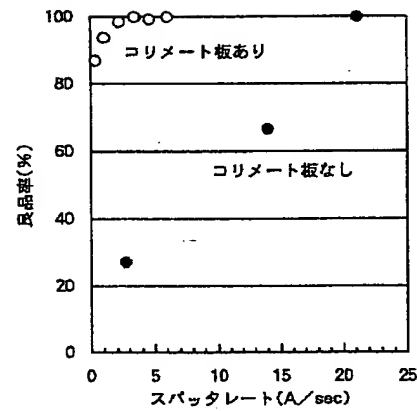
【図 18】



【図 20】



【図 21】



フロントページの続き

(51) Int. Cl. ⁶

識別記号

F I

29/78

21/336

(72) 発明者 樋口 実

東京都港区芝五丁目 7 番 1 号 日本電気株
式会社内